

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-202903

(43) 公開日 平成7年 (1995) 8月4日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		8732-5K	H 0 4 L 11/20	D
H 0 4 J 3/00		Z 8226-5K		
H 0 4 Q 3/00				

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平5-338655
(22) 出願日 平成5年 (1993) 12月28日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72) 発明者 奥山 裕蔵
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 加久間 哲
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 瓜生 士郎
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁理士 遠山 勉 (外 1 名)

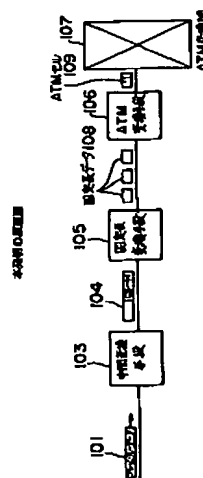
最終頁に続く

(54) 【発明の名称】 ATM交換網におけるフレームリレーインターフェース方式

(57) 【要約】

【目的】 ATM交換網でフレームリレーデータの処理を実現する。

【構成】 可変長のフレームリレーデータ 101 を固定長の複数の ATMセル 102 に分割変換する際に、中間変換手段 103 を設け、フレームリレーデータ 101 からフラグ情報 (FLAG) を除去して ATMセル 102 への共通情報を格納したヘッダ (CS-H) を付加した中間データ 104 に変換し、次に固定長変換手段 105 を設け、前記で得られた中間データ 104 を固定長に分割しこれに中間データ 104 のいずれに位置するものかを示すヘッダを付加し、さらに ATM変換手段 106 を設けて前記固定長変換手段 105 により生成されたデータ (P) に ATMヘッダ (H) を付加して ATM交換網 107 に送出するようにした。



【特許請求の範囲】

【請求項1】 可変長のフレームリレーデータ（101）を固定長の複数のATMセル（109）に分割変換する際に、

フレームリレーデータ（101）からフラグ情報（FLAG）を除去してATMセルへの共通情報を格納したヘッダ（CS-H）を付加した中間データ形式（104）に変換する中間変換手段（103）と、

前記で得られた中間変換形式データ（104）を固定長に分割して固定長データ（108）とし、これに前記中間データのいずれに位置するものかを示すヘッダを付加する固定長変換手段（105）と、

前記固定長変換手段により生成された固定長データ（108）にATMヘッダを付加するATM変換手段（106）とを備えたATM交換網（107）におけるフレームリレーインターフェース方式。

【請求項2】 固定長の複数のATMセルから可変長のフレームリレーデータを組み立てる際に、ATMセルのペイロードからデータを抽出して中間データ形式に組み立てる中間組立手段と、

前記中間組立手段で得られた中間データにフラグ情報（FLAG）を付加してフレームリレーデータを生成するフレームリレー組立手段とを有しているATM交換網におけるフレームリレーインターフェース方式。

【請求項3】 前記中間変換手段は、受信したフレームリレーデータからフラグ情報（FLAG）を除去するフレームレイヤ終端手段と、

前記フレームレイヤ終端手段から受け取ったデータに中間ヘッダと中間トレイラとを付加するとともに、中間情報フィールドには送信側と相手側のデータリンクコネクション識別子（DLCI）をそれぞれ登録した中間データ形式に変換するCSレイヤ変換手段と、

前記CSレイヤ変換手段から受け取ったデータを固定長に分割し、分割されたデータに元データ中の位置情報等をヘッダとして付加するSARレイヤ変換手段とからなり、

前記ATM変換手段は、前記SARレイヤ変換手段から受け取ったデータをペイロードに格納するとともに、方路識別子（VPI/VCI）を含むヘッダを付加したATMセルに変換することを特徴とする請求項1記載のATM交換網におけるフレームリレーインターフェース方式。

【請求項4】 前記ATM変換手段は、当該ATMセルの送信元端末がセル損失を許容している旨の情報を得た場合には、前記ATMセルのヘッダのセル損失優先制御識別子（CLP）の値を変化させ、ATM交換機内での当該ATMセルの廃棄を許容し、ATM交換機内での輻輳を防止することを特徴とする請求項1記載のATM交換網におけるフレームリレーインターフェース方式。

【請求項5】 前記ATM変換手段は、当該ATMセル

の送信元端末がセル損失を許容している旨の情報をフレームリレーデータの廃棄可能ビット（DE）を読みとることにより認識することを特徴とする請求項4記載のATM交換網におけるフレームリレーインターフェース方式。

【請求項6】 前記ATM変換手段は、当該ATMセルの送信元端末がセル損失を許容している旨の情報を当該ATM網を管理する通信制御部（CPR）から得ることを特徴とする請求項4記載のATM交換網におけるフレームリレーインターフェース方式。

【請求項7】 受信側フレームリレーインターフェースは、受信したATMセルのペイロードに格納された送信側と相手側のデータリンクコネクション識別子（DLCI）と、自身が保有しているデータリンクコネクション識別子（DLCI）とを比較して、送信側のフレームリレーインターフェースにおけるフレームリレーデータからATMセルへの変換に際しての異常の有無を検出することを特徴とする請求項3記載のATM交換網におけるフレームリレーインターフェース方式。

【請求項8】 前記受信側フレームリレーインターフェースにおいて異常が検出された場合には、当該異常を当該ATM網を管理する通信制御部（CPR）に通知し、異常データを生成した送信側フレームリレーインターフェースの送信路を閉塞することを特徴とする請求項7記載のATM交換網におけるフレームリレーインターフェース方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ATM交換機でのフレームリレーデータの処理に適用して有効な技術に関する。

【0002】

【従来の技術】 データ通信の方式としてLANデータ（LAN: Local Area Network）をフレームリレー形式で送受信するバケット交換方式（LAPB: Link Access Procedure Balanced: 平衡型リンク・アクセス手順）が知られている。この方式によるバケット交換のプロトコルは、回線品質が低下していることを前提としており、データが到着した受信側で到着データのエラーチェックを行い、このときチェックコードがNGである場合には、送信側に対して当該データの再送を促していた。LAPB方式によるバケット交換ではこの再送処理のために通信速度が遅いという問題点が指摘されていた。このような問題点を回避するために、CCITT勧告Q922、Q933において、再送手順を省略したフレームリレー方式（LAPF）も提案されている。

【0003】 しかし、画像情報等のバースト性の高い情報の高速転送が要求され始め、B-ISDN（B-ISDN: Broadband Integrated Service Digital Network）の実現のためにATM交換方式（ATM: Asynch

onous Transfer Mode) が必須の技術と考えられるようになってくると、このATM交換システム上でのフレームリレーデータ通信の実現が要請されている。

【0004】

【発明が解決しようとする課題】ところで、フレームリレーデータの転送をATM交換システムで実現する場合、フレームリレーデータをATMセルに変換する処理が必要になるが、可変長のデータを固定長のATMセルに変換する場合、どのように処理を行えばよいかという点については何等明らかにされていない。

【0005】さらに、フレームリレー方式特有の問題として下記のような点が指摘されている。第1に、フレームリレー方式によるデータ通信は、基本的な概念としては多数の送信側の加入者と受信側の加入者とが網状（メッシュ状）に互いに繋がれた状態となる。このような環境で、送信側は自由にデータ送信を行ったとしても、受信側では異なる方向からのデータが互いに衝突しあう現象が起きてくる。たとえばメールシステムのホスト局ではこのような現象が懸念されている。

【0006】ここで、ATM交換システムでは、各々のパスに対する帯域を割り当てて通信経路を制御することができるが、多数のセルが同時に特定のATM交換機に着信した場合には、いわゆる輻輳が生じて、いわゆるセル損失（Cell Loss）が生じ、通信の品質が低下してしまう可能性がある。このようなフレームリレーデータをATMセルに変換した場合のデータの輻輳に、どのように対処するかが本発明の第1の技術的課題である。

【0007】第2に、フレームリレー通信における呼はフレームリレーデータ中に登録されるDLCI（DLCI：Data Link Connection Identifier）と呼ばれる識別子により管理されており、一方ATM通信では呼はセルのヘッダに登録されるVPI/VCI（Virtual Path Identifier/Virtual Channel Identifier）により管理されている。したがって、フレームリレーデータをATMセルに変換する場合には、前記DLCIとVPI/VCIとの対応を正確に行うことが必須であり、この変換の誤りは網としては致命的となってしまう。本発明の第2の技術的課題は、これらの呼制御情報の変換の正誤をどのようにして検出するかという点にある。

【0008】

【課題を解決するための手段】本発明は、原理図である図1に示すように、可変長のフレームリレーデータ101を固定長の複数のATMセル102に分割変換する際に、中間変換手段103を設け、フレームリレーデータ101からフラグ情報（FLAG）を除去してATMセル102への共通情報を格納したヘッダ（CS-H）を付加した中間データ104に変換し、次に固定長変換手段105を設け、前記で得られた中間データ104を固定長データ108に分割しこれに中間データ104のいずれに位置するものかを示すヘッダを付加し、さらにA

TM変換手段106を設けて前記固定長変換手段105により生成されたデータ（P）にATMヘッダ（H）を付加してATMセル109としてATM交換網107に送出するようにした。

【0009】

【作用】フレームリレーデータを一旦中間データ形式に加工してATMセルに分割した際の共通情報をこの中間データに格納しておくことにより、可変長のフレームリレーデータであってもATM交換網でATMセルに変換して扱うことが可能となる。

【0010】また、フレームリレーデータからATMセルへの変換に際して、端末からの情報に基づいてATMセルのセル損失優先制御識別子（CLP：Cell Loss Priority）の値を変化させることによって、通信サービスの形態（CIR契約かCmax契約か）に応じた通信のデータ特性を確保でき、ATM交換機内での輻輳を防止できる。

【0011】また、ATMセルのペイロード内に自側および相手側のデータリンクコネクション識別子（DLCI）を登録しておき、受信側のフレームリレーインターフェースでこれらの識別子の照合を行うことにより、送信側のフレームリレーデータからATMセルへの変換が正しく行われたか否かを判定することができる。

【0012】

【実施例】図2は、本発明によるATM交換網におけるフレームリレーシステムを示すブロック図である。

【0013】同図において、1は送信側の端末を示している。この送信側端末1は、フレームリレーインターフェース2を介してATM交換機3と接続されている。受信側端末の接続形態は多岐にわたっており、フレームリレーインターフェース4、5、ATM交換機6およびフレームリレーインターフェース7を介して接続される受信端末8aと、前記ATM交換機3からフレームリレーインターフェース10を介して接続される受信端末8bと、フレームリレーインターフェース11、12、STM交換機13、フレームリレーインターフェース14を介して接続される受信端末8cと、フレームリレーインターフェース15、フレームリレー交換機16を介して接続される受信端末8dとが図示されている。

【0014】本実施例の特徴は、このようなATM交換網においてフレームリレーデータの送受信を実現する点にある。次に、フレームリレーデータとATMセルとの変換、この場合に生じる輻輳の制御、および障害の検出についてそれぞれ説明する。

（フレームリレーデータとATMセルの変換）前述の各フレームリレーインターフェースのうち、ATM交換機3、6の前段に位置するフレームリレーインターフェース2、5はフレームリレーデータをATMセルに変換する機能を有しており、ATM交換機3、6の後段に位置するフレームリレーインターフェース4、7、10、1

1, 15はそれぞれATMセルをフレームリレーデータに復元する機能を有している。

【0015】ここで、フレームリレーデータ形式と、ATMセル形式のフォーマットの差異について説明する。図3は、フレームリレーデータのフォーマットを示す説明図である。同図に示すように、データ先頭より第1フラグフィールド(F1:FLAG)、アドレスフィールド(A)、ユーザデータフィールド(D)、フレームチェックシーケンスフィールド(FCS)および第2フラグフィールド(F2:FLAG)とで構成されている。

【0016】前記アドレスフィールド(A)は、2オクテット(16ビット)で構成され、10ビットのデータリンクコネクション識別子(DLCI)と、それぞれ1ビットずつのコマンドレスポンスビット(CR)と、アドレスフィールド拡張ビット(EA:0で固定のもの1ビットと1で固定のもの1ビット)と、前方輻輳通知ビット(FE)と、後方輻輳通知ビット(BE)と、廃棄可能ビット(DE)とで構成されている。

【0017】ユーザデータフィールド(D)は、最大4090オクテットまでの確保が可能な可変長領域であり、音声、画像、データ等のユーザデータが格納される。図4は、ATMセルのフォーマットを示している。同図に示すように、ATMセルは5オクテットのヘッダ(H)と、48オクテットのペイロード(P)とで構成されている。

【0018】ヘッダ(H)は、生成的フロー制御識別子(GFC)と、仮想バス識別子(VPI)と、仮想チャネル識別子(VCI)と、ペイロードタイプ識別子(PTI)と、セル損失優先制御識別子(CLP)と、ヘッダ誤り制御識別子(HEC)とがそれぞれ所定のビットを割り当てられている。

【0019】ペイロード(P)は、48オクテットに固定されており、このペイロード(P)内に音声、画像、データ等のユーザデータが格納されるようになっている。前記図3および図4から明かなように、フレームリレーフォーマットとATMセルフォーマットには大きな差異があり、可変長のフレームリレーフォーマットをATMセルフォーマットに変換する技術が必要になっているのである。

【0020】次に、本実施例におけるフォーマット変換の概念について図5を用いて説明する。図5の上段のフォーマットは前述のフレームリレーフォーマット(図3)をシリアルな形式で表したもので(フレームレイヤ)、中段のフォーマットは変換途中の中間フォーマット(CSレイヤ)を示しており、下段のフォーマットは変換後のフォーマット(SARレイヤ)を示している。すなわち、上段に示したフレームリレーデータは、中段の中間データ形式を経て下段に示した48オクテット毎のデータ形式に変換される。

【0021】上段のフレームレイヤについては既に図3で説明しているので、説明は省略する。中段のCSレイヤは、5オクテットのCSヘッダ(CS-H)と、情報フィールド(CS-D)と、4オクテットのトレイラ(CS-T)とで構成されている。前記CSヘッダ(CS-H)はさらに、1ビット構成の共通部識別子(CPI:全て"0"に設定されている)と、1ビット構成の先頭照合識別子(BTAG:"0"から順番に番号が付与されている)と、2ビット構成のパッファ容量識別子(BASize)とが設けられている。また、トレイラ(CS-T)は1ビット構成のアライメント識別子(AL)と、1ビット構成の終端照合識別子(ETAG:前述の先頭照合識別子と同じ値が設定されている)と、2ビット構成のペイロード長識別子(LEN)とが設けられている。

【0022】CSレイヤの情報フィールド(CS-D)の構成をさらに詳細に示したものが図7である。すなわち、第1オクテット〜第2オクテットにはデータリンクコネクション識別子(DLCI)の他に、コマンドレスポンスビット(CR)と、前方輻輳通知ビット(FE)と、後方輻輳通知ビット(BE)と、廃棄可能ビット(DE)とが設けられ、さらに"0"の固定ビットと"1"の固定ビットとがそれぞれ設けられている。

【0023】第3オクテット〜第4オクテットには、10ビットの相手側データリンクコネクション識別子(DLCI)の他に、"0"の固定ビットが6ビット分設けられている。

【0024】第5オクテットには"0"の固定ビットが3ビット設けられ、その後に5ビットの相手側チャネル番号(CHNO)の領域が設けられている。そして、第6オクテット以降にはユーザデータが登録される。

【0025】図5において、下段のSARレイヤでは、前記CSレイヤ形式のデータからCSヘッダ(CS-H)が除去され、2オクテットのSARヘッダと44オクテットの情報フィールド(SAR-D)と、2オクテットのトレイラ(SAR-T)が生成される。なお、情報フィールド(SAR-D)へのデータの格納の仕方については、後述の図11における障害検出で説明する。

【0026】SARヘッダ(SAR-H)は、さらに2ビット構成のセグメントタイプ識別子(ST)と、4ビット構成のシーケンス番号識別子(SN)と、1ビット構成の優先ビット識別子(P)と、9ビット構成のメッセージ識別子(MID)とからなる。

【0027】セグメントタイプ識別子(ST)には、このSARデータが元のフレームリレーデータの先頭に対応するものか、中間に対応するものか、あるいは最終のものかを示すフラグが登録される。また、シーケンス番号識別子(SN)には、その順位を示す番号が登録される。すなわち、本実施例では可変長のフレームリレーデータを固定長に分割するためその順序等を認識するため

にこれらの識別子が用いられる。

【0028】また、SARトレイラ (SAR-T) はさらに、6ビット構成の有効長情報識別子 (LEN) と、10ビット構成のチェックコード識別子 (CRC) とからなる。

【0029】このSARレイヤのSARヘッダ (SAR-H) からSARトレイラ (SAR-T) に至る48オクテットのデータが、図4で説明したATMセルのペイロード (P: 48オクテット) に格納されることになる。

【0030】図6はこのデータ形式の変換を実現するための変換回路を示すブロック図である。当該変換回路は、受信側PCMレイヤ終端部17aと、受信側フレームレイヤ終端部18aと、受信側CSレイヤ終端部19aと、受信側SARレイヤ終端部20aと、ATMセル変換部21aとを有しており、これらの各部を通じて前述の図5で説明したフレームリレーデータからATMセルへの変換が実現される。

【0031】以上の構成はフレームリレーデータからATMセルへの変換のための回路構成であるが、ATMセルからフレームリレーデータへの変換のための回路として、前記各部に対応して、SARレイヤ変換部21b、送信側SARレイヤ終端部20b、送信側CSレイヤ終端部19b、送信側フレームレイヤ終端部18bおよび送信側PCMレイヤ終端部17bが設けられている。

【0032】前記各変換部および終端部はバス22によって接続されており、バス22上には変換時のデータを一時格納するRAM23、各変換部および終端部での処理を制御するプロセッサ24、およびプロセッサ24による制御プログラムを格納したROM25が接続されている。

【0033】すなわち、図5に示したデータの変換も、各変換部および終端部とバス22で接続されたプロセッサ24の制御により実現される。図6に示した変換回路の物理的条件としては、CCITT勧告で記述されているPCM24/PCM30のPCM LINEに準拠している。

【0034】受信側の変換回路の機能としては、まずPCMレイヤ終端部17aでPCM LINEのフレーム同期を行い、ボイスチャネル (Voice channel) を抽出する。

【0035】受信側フレームレイヤ終端部18aでは、この抽出したボイスチャネルに対して、加入者情報を基にしてフレームリレーデータの抽出を行う。この状態で図5の上段に示したフレームリレーデータ形式となる。

【0036】このフレームリレーデータに対して、通信の相手側のデータリンクコネクション識別子 (DLCI: 20オクテット)、および相手側チャネル番号 (CH NO) をユーザデータフィールドの前に挿入して、さらに第1フラグフィールド (FLG) のフラグデータ

とフレームチェックシーケンス (FCS) のデータとを除去する。

【0037】なおここで、フレームチェックシーケンス (FCS) がエラー (NG) を示している場合には当該データを破棄する。受信側CSレイヤ終端部19aでは、前記で破棄されなかったデータに対してCSヘッダ (CS-H) およびトレイラ (CS-T) を付加して図5の中段に示すCSレイヤのデータを完成させる。

【0038】受信側SARレイヤ終端部20aでは、前記CSレイヤのデータを分割するとともに、SARヘッダ (SAR-H) と、SARトレイラ (SAR-T) とを付加して図5の下段に示したSARレイヤデータを生成する。

【0039】次のATMセル変換部21aでは、前記で生成されたSARレイヤデータをペイロード (P) に格納したATMセル (前述の図4参照) を生成する。すなわち、図4で説明したATMセルのヘッダ (H) がここで付加されるが、このとき本実施例ではATM交換機3、6内で輻輳が生じた場合の処理として以下の機能を備えている。

【0040】すなわち、フレームリレーデータ転送をATM交換システムで実現する際には、ユーザの所望により、ATM交換機内に割り振った帯域内で行う場合 (第1の形態) と、割り振った帯域の200~300%の帯域で行う場合 (第2の形態) とがある。第1の形態は、ユーザから申告されていくCIRパラメータ (CIR: Command Information Rate) を使用帯域としてこの帯域内での通信を約束した契約でありここでは便宜上、CIR契約という。また、第2の形態は、ユーザ間の物理リンクの最大帯域 (Cmax) を各データリンクコネクション識別子 (DLCI) 毎に割り付ける場合でありここでは便宜上、Cmax契約という。

【0041】前者のCIR契約の場合には、ATM交換機内で輻輳が発生してもATMセルを棄損することはできないが、後者のCmax契約の場合にはある程度のATMセルの棄損も容認される。これらはユーザが選択してサービス特性を決定する場合であり、たとえばデータ通信の場合にはセル棄損は致命的となるため第1の形態での通信サービスを希望するであろうし、音声情報が主となっている場合にはある程度の特性劣化も容認されるであろう。

【0042】しかしそのためには、ATM交換機3、6において当該データがいずれのサービス形態を希望するものなのかを識別する必要がある。この点について、本実施例では図4に示したATMセルのセル損失優先制御識別子 (CLP) を利用している。すなわち、図8の処理フローに示したように、ATMセル変換部21aにおいて当該データが帯域内での処理を必須とするか (CIR契約)、そうでないか (Cmax契約) を判定し (ステップ801)、設定された帯域内での処理が必須であ

る場合(CIR契約)にはセル損失優先制御識別子(CLP)に優先セルであることを意味する"0"を格納する(ステップ802)。また、設定帯域よりも大きな帯域で行う場合(Cmax契約)にはセル損失優先制御識別子(CLP)に非優先セルであることを意味する"1"を格納し(ステップ803)、ATMヘッダの生成を行いATMセルとしてATM交換機3, 6に送出する。

【0043】以上が、図6の変換回路におけるフレームリレーデータからATMセルへの変換の手順であるが、ATMセルからフレームリレーデータへの変換はこの逆の処理が行われる。

【0044】すなわち、まずSARレイヤ変換部21bでは、受信したATMセルの先頭から5オクテットのヘッダ(H)部分を削除し、ペイロード(P)の情報を送信側SARレイヤ終端部20bに引き渡す。このときデータ形式は図5の下段に示すSARレイヤの形式となっている。なお、SARレイヤ変換部21bではATMセルのヘッダ(H)からセル損失優先制御識別子(CLP)の値を読み取り、この情報を基に、次のSARレイヤ終端部20bで組み立てられるフレームリレーデータ中の前方輻輳通知ビット(FE)と、後方輻輳通知ビット(BE)を制御して加入者側に交換機内で輻輳が発生していることを通知して規制を行う。この点については図9を用いて後述する。

【0045】送信側SARレイヤ終端部20bでは、SARヘッダ(SAR-H)と、SARトレイラ(SAR-T)をチェックしてデータの組立(結合)を行うが、このとき、前記のチェックの結果エラーが検出されたときには当該データを破棄する。また、このときデータの順序等についてはSARヘッダ(SAR-H)のセグメントタイプ識別子(ST)およびシーケンス番号識別子(SN)が参照される。

【0046】次に送信側CSレイヤ終端部19bでは、前記で組み立てられたデータに対して、CSヘッダ(CS-H)と、CSトレイラ(CS-T)とを付加して前述の図5の中段に示したCSレイヤ形式のデータに成形し、送信側フレームレイヤ終端部18bに引き渡す。

【0047】送信側フレームレイヤ終端部18bでは、前記CSヘッダ(CS-H)およびCSトレイラ(CS-T)の情報に基づいて当該データの有効・無効を確認する。ここで、当該データが無効である場合、たとえばエラーなどを生じている場合には当該データを廃棄する。また、有効である場合には、図5の上段および図3に示すフレームリレーデータの組み立てを行う。この組み立てを行う際に、相手側データリンクコネクション識別子(DLCI)を第2~第3オクテットに挿入し、相手側チャンネル番号(CH NO)よりPCM LINKの挿入するチャンネルに登録する。

【0048】送信側PCMレイヤ終端部17bでは、前

記チャンネルの情報に対して、PCM LINKで規定しているフレーミングパターンの挿入を行う。次に、フレームリレーインターフェース間における輻輳制御についてさらに詳しく説明する。

【0049】すなわち、前述のATMセル変換部21aの機能において、ATMセルのヘッダ中に登録されるセル損失優先制御識別子(CLP)を用いて優先度合いの高いセルか否かを表すようにした点を説明したが、これを利用した輻輳制御の具体例について説明する。

10 【0050】図8は、フレームリレーユーザ端末A, B, CがATM交換機3aを介して接続されている構成であり、ATM交換機3aの前段および後段にはそれぞれフレームリレーインターフェース2a, 2b, 2cが設けられている。これらのフレームリレーインターフェースは、図2で説明したフレームリレーインターフェースと同じものである。

【0051】ATM交換機3a内には、多重化部(MDX1~MDX3)とスイッチ(SW)が設けられている。この多重化部(MDX1~MDX3)、スイッチ

20 (SW)およびフレームリレーインターフェース2a, 2b, 2cは、通信制御部(CPR)によって制御されている。

【0052】ここで、各ユーザが各自のデータリンクコネクション識別子(DLCI)として前述のCIR契約を選択しているか、Cmax契約を選択しているかによって輻輳時のATM交換機3a内でセル損失が生じるか否かが決定される。すなわち、CIR契約による場合には輻輳時にもATM交換機3a内でのセルは保証されるが、Cmax契約による場合にはある程度のセル損失が

30 許容される。

【0053】この場合のセルの損失優先度は前述のようにフレームリレーインターフェース2a, 2b, 2cにおけるフレームリレーデータからATMセルへの変換時にATMヘッダのセル損失優先制御識別子(CLP)に書き込まれるが、この方法としては、前述の図6で説明したようにインターフェース内の変換回路でフレームリレーデータ中の廃棄可能ビット(DE, 図3参照)の値をATMヘッダのセル損失優先制御識別子(CLP)に写すようにしてもよい。また、ユーザA, B, C毎の契約情報は通信制御部(CPR)がデータリンクコネクション識別子(DLCI)毎に把握しているため、これをフレームリレーインターフェース2a, 2b, 2cに通知したたとえばCmax契約のユーザからのATMヘッダのセル損失優先制御識別子(CLP)のみを"0"→"1"となるように書き換えてもよい。

【0054】次に、図9を用いて本システムの輻輳制御について具体的に説明する。フレームリレーユーザ端末A, B, Cには各々データリンクコネクション識別子(DLCI)として(a), (b), (c)が与えられ

50 ている。ここで、端末AはB, Cとそれぞれ通信を行っ

ているものとする。

【0055】このとき端末BはCmax契約、端末CはCIR契約を選択しているものとする。ここで、端末A→端末B、端末A→端末Cへのデータ転送において輻輳は発生しないが、端末B→端末A、端末C→端末Aへのデータ転送においてはたとえば端末Bが大規模なデータを送信すると多重化部(MDX1)において輻輳が発生する。このような状況で下記のいずれかの輻輳制御が行われる。

(第1の輻輳制御) 図6で説明したように、端末Bからフレームリレーデータを受信したフレームリレーインターフェース2b内の受信側フレームレイヤ終端部18aでは、フレームリレーデータより廃棄可能ビット(DE)の値を読み取り、この値が"1"すなわち廃棄可能を示しているときにはプロセッサ24(図6参照)を通じてATMセル変換部21aに通知する。この通知に基づいてATMセル変換部21aはATMセルのヘッダ中のセル損失優先制御識別子(CLP)に前記廃棄可能ビット(DE)の値"1"を複写(登録)する。この登録手順は先の図8で説明した処理に従う。

(第2の輻輳制御) 通信制御部(CPR)は、各端末A、B、Cの契約形態(CIR契約か、Cmax契約か)を把握しており、各フレームリレーインターフェース2a、2b、2cに対して各端末の契約形態を示す1ビットのデータが転送される。すなわち、"1"の場合にはCmax契約であり、"0"の場合はCIR契約を意味するものとする。ここでは、"0"の方が優先順位が高いものとする。

【0056】各フレームリレーインターフェース2a、2b、2cはこのビット情報を受け取ると、自身が生成するATMセルのセル損失優先制御識別子(CLP)に当該値を登録する。この登録手順は図8で説明した処理に従う。ここでは、端末BがCmax契約であるため、フレームリレーインターフェース2bにはビット値"1"が通知され、ここで変換されるATMセルのセル損失優先制御識別子(CLP)に"1"が登録されることになる。

【0057】通信制御部(CPR)は、網内の輻輳状態を常に監視しており、たとえば多重化部(MDX1)より輻輳発生通知を受け取ると、当該多重化部(MDX1)に対してセル損失優先制御識別子(CLP)に基づく制御を開始するよう指示する。

【0058】これにより、端末B→端末AへのATMセルは当該多重化部(MDX1)で廃棄され、端末C→端末AへのATMセルが優先して転送されることになる。これによって輻輳が回避される。

(フレームリレーデータのATMセル化時の障害検出) 以上に説明したフレームリレーデータとATMセルとの変換に際しては、データリンクコネクション識別子(DLCI)とVPI/VCIとの対応を確実に行う必要が

あるが、この障害検出方法について具体的に説明する。

【0059】図10は、ATM交換網を介在した最も簡単な構成のフレームリレー端末A、B間の通信システムを示したものである。同図中、フレームリレーインターフェース100a、100b、ATM交換機101および通信制御部CPRについては前述に説明したものと同様である。

【0060】図3の(a)および(b)はATMセルを示しており、ATMヘッダ(H)と、ペイロード(P)とで構成されている点は図4で説明したものと同じである。本実施例における特徴は、前記ペイロード(P)への特定のデータの挿入の仕方によってセル変換時の障害を検出できる点にある。

【0061】フレームリレーデータは可変長のLAP-Dフレームにユーザデータを格納して加入者線DS1にて送信されてくる。これをATM交換機101に收容する際に、フレームリレーインターフェース100aにおいて固定長のATMセルに変換されるが、ATMセルとしてはAAL(ATM Adaptation Layer) Type 3/4を用いる。

【0062】ここで、フレームリレーデータはコネクションレス通信であり、網内はセミパーマネントパスが設定されている。このとき、各フレームリレー端末A、Bが有するデータリンクコネクション識別子(DLCI)毎にこれに対応する網内のVPI/VCIを通信制御部(CPR)が決定し、これをフレームリレーインターフェース100a、100bに通知する。このとき、同時に通信を行う相手側のデータリンクコネクション識別子(DLCI)もフレームリレーインターフェース100a、100bに通知される。

【0063】ここで、図11において、端末Aにはデータリンクコネクション識別子(DLCI)として(a)、VPI/VCIとして(a1)が与えられ、端末Bにはデータリンクコネクション識別子(DLCI)として(b)、VPI/VCIとして(b1)が与えられているとする。

【0064】フレームリレー端末Aからのデータはフレームリレーインターフェース100aでATMセルに変換されるが、この変換回路の構成および変換手順は図5および図6で説明した通りである。

【0065】本実施例では図5で説明したCSレイヤで生成された情報フィールド(CS-D)の登録内容を障害検出に用いる。すなわち、端末A→端末Bへのデータ転送の場合には、CSレイヤの情報フィールド(CS-D)の先頭には、端末Aのデータリンクコネクション識別子(DLCI)に対応したVPI/VCI(ここでは(a))が付与されている。次の相手側データリンクコネクション識別子(DLCI)には、(b1)が登録される。これらのデータにSARヘッダ(SAR-H)が付加されてATMセルのペイロード(P)に格納される

ことになるから、端末A→端末Bへのデータの先頭のATMセルの構成は図11(a)に示ようになる。

【0066】前記フレームリレーインターフェース100aの後段にはVCI変換部(Vcc)が介在しており、ここで当該ATMセルのVPI/VCIは相手側のVPI/VCI(ここでは(b))に変換されて(図11(b))、さらに図12に示すスイッチング情報(TAG)を付加されてATM交換機101内に送出される。

【0067】受信側のフレームリレーインターフェース100bでは、受信したATMセルのヘッダ(H)よりVPI/VCIを読み取り、自身が登録するフレームリレー端末(B)宛のものであるか否かをまず確認する。

【0068】次に、当該ATMセルのペイロード(P)よりSARヘッダ(SAR-H)に続いて登録されているデータリンクコネクション識別子(DLCI、ここでは(a))を読み出す。そして自身が保有する情報(通信可能な送信元端末Aの情報)と比較してこれに合致するか否かを判定する。

【0069】そして、さらにペイロード(P)の相手側データリンクコネクション識別子(DLCI)の情報(ここでは(b1))を読み出して当該ATMセルのVPI/VCI(ここでは(b))と比較する。

【0070】受信側のフレームリレーインターフェース100bにおいて、以上の比較の結果、不一致が検出された場合には、通信制御部(CPR)に通知する。通信制御部(CPR)では、このエラー通知を受け取ると、当該VPI/VCIが登録されているフレームリレーインターフェース100aの加入者線DS1を閉塞処理する。このように閉塞処理されることにより、以降の誤変換が防止される。

【0071】

【発明の効果】本発明によれば、可変長のフレームリレーデータをATM交換網でも扱うことが可能となる。

【0072】フレームリレーデータをATM交換網で扱った場合に生じやすいデータの輻輳を防止することができる。また、送信側のフレームリレーデータからATMセルへの変換が正しく行われたか否かを判定することができ、通信信頼性を高めることができる。

【図面の簡単な説明】

【図1】本発明の原理図

【図2】本発明の実施例であるATM交換網におけるフレームリレー交換システムを示すブロック図

【図3】フレームリレーデータのフォーマットを示す説明図

【図4】ATMセルのフォーマットを示す説明図

【図5】フレームリレーデータからATMセルへの変換手順を示すブロック図

【図6】フレームリレーインターフェースの変換回路を

示すブロック図

【図7】CSレイヤの情報フィールド(CS-D)のフォーマットを詳細に示す説明図

【図8】ATMセル変換部における処理を示すフロー図

【図9】輻輳制御を説明するためのフレームリレー交換システムのブロック図

【図10】障害検出を説明するためのフレームリレー交換システムのブロック図

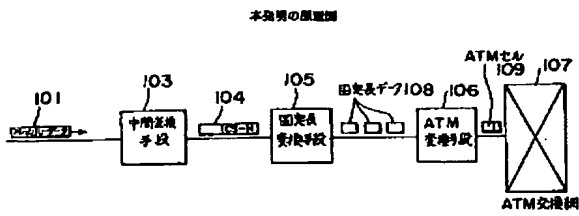
【図11】障害検出のためのATMセルフォーマットを説明するフォーマット図

【図12】ATMセルにスイッチング情報(TAG)を付加した状態を示すフォーマット図

【符号の説明】

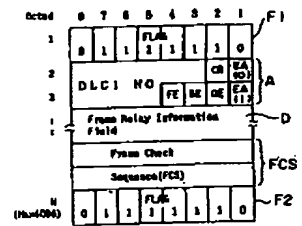
1・・・送信側フレームリレー端末
2, 4, 5, 6, 7, 10, 11, 12, 14, 15, 100a, 100b・・・フレームリレーインターフェース
2a, 2b, 2c・・・フレームリレーインターフェース
3, 3a, 6, 101・・・ATM交換機
8a, 8b, 8c・・・受信側フレームリレー端末
13・・・STM交換機
15・・・フレームリレー交換機
17a・・・受信側PCMレイヤ終端部
17b・・・送信側PCMレイヤ終端部
18a・・・受信側フレームレイヤ終端部
18b・・・送信側フレームレイヤ終端部
19a・・・受信側CSレイヤ終端部
19b・・・送信側CSレイヤ終端部
20a・・・受信側SARレイヤ終端部
20b・・・送信側SARレイヤ終端部
21a・・・ATMセル変換部
21b・・・SARレイヤ変換部
22・・・バス
23・・・RAM
24・・・プロセッサ
25・・・ROM
H・・・ATMヘッダ
P・・・ATMペイロード
CS-H・・・ヘッダ(CSレイヤ, 中間データ)
CS-D・・・情報フィールド(CSレイヤ, 中間データ)
CS-T・・・トレイラ(CSレイヤ, 中間データ)
SAR-H・・・ヘッダ(SARレイヤ)
SAR-D・・・情報フィールド(SARレイヤ)
SAR-T・・・トレイラ(SARレイヤ)
MDX・・・多重化部
CPR・・・通信制御部
A, B, C・・・フレームリレー端末

【図1】

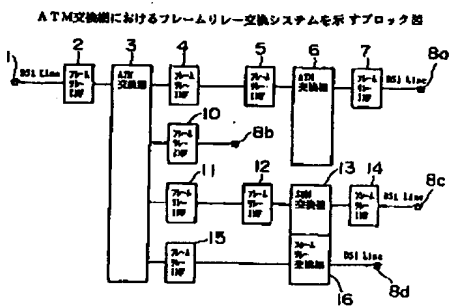


【図3】

フレームリレーデータのフォーマットを示す説明図

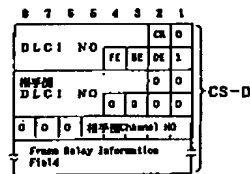


【図2】



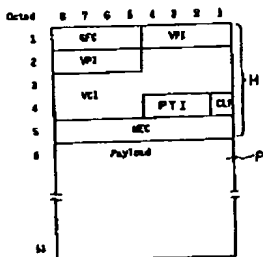
【図7】

CSレイヤの情報フィールド (CS-D) のフォーマットを示す説明図



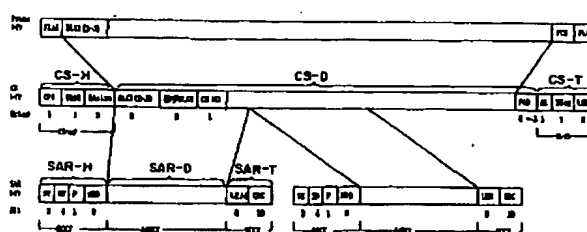
【図4】

ATMセルのフォーマットを示す説明図

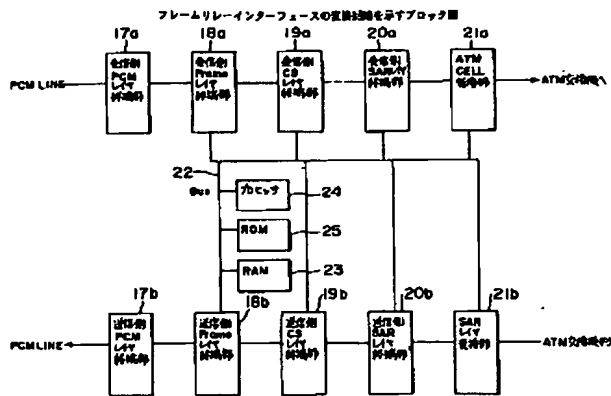


【図5】

フレームリレーデータからATMセルへの変換手順を示すブロック図

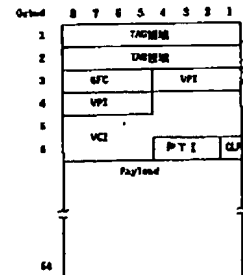


【図6】



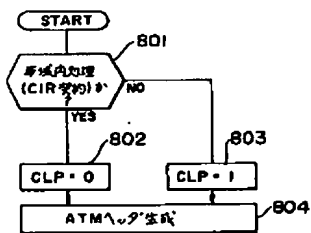
【図12】

ATMセルにスイッチング情報 (TAG) を付加した状態を示すフォーマット図



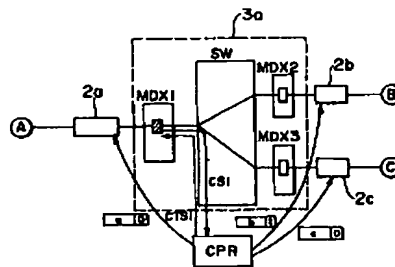
【図8】

ATMセル変換用における処理を示すフロー図



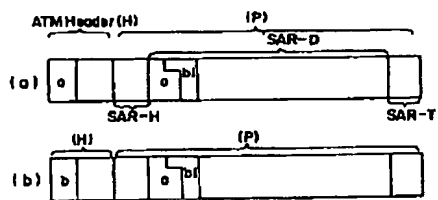
【図9】

多重制御を施すためのフレームリレー交換システムのブロック図



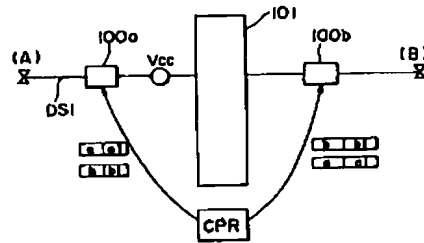
【図11】

多重抽出のためのATMセルフォーマットを説明するフォーマット図



【図10】

障害検出を説明するためのフレームリレー交換システムのブロック図



フロントページの続き

(72)発明者 初鹿野 一雄
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

(72)発明者 吉村 修二
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内
 (72)発明者 村山 雅美
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内